

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-23170

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)1月31日

H 01 L 29/78
29/08
29/52

8422-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 電力用縦型電界効果トランジスタの製造方法

⑮ 特 願 昭60-163346

⑯ 出 願 昭60(1985)7月23日

⑰ 発 明 者 薄 永 行 泰 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

電力用縦型電界効果トランジスタの製造方法

特許請求の範囲

半導体基板の一主面上に一導電型低濃度エピタキシャル層を形成し、該エピタキシャル層に二重拡散によりゲート領域とソース領域を自己整合的に形成し、半導体基板の裏面を粗面化した上ドレイン電極を形成する電力用縦型電界効果トランジスタの製造方法において、前記半導体基板の一主面に後に形成するエピタキシャル層と同一導電型の高濃度層を拡散又はイオン注入法により形成する工程と、該エピタキシャル層と同一導電型の高濃度層上に低濃度エピタキシャル層を形成する工程と、前記半導体基板の他方の主面に半導体基板と同一導電型の高濃度層を拡散又はイオン注入法により形成する工程と、該半導体基板と同一導電型の高濃度層表面を粗面化しドレイン電極を形成

する工程とを含むことを特徴とする電力用縦型電界効果トランジスタの製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は電力用縦型電界効果トランジスタの製造方法に関し、特に二重拡散により半導体基板上のエピタキシャル領域にゲート領域とソース領域を自己整合的に形成し、ドレイン側のオーミックコンタクトを良好とし、高耐圧化及び低オン抵抗を図った電力用縦型電界効果トランジスタの製造方法に関する。

〔従来の技術〕

従来、高耐圧用 MOSFET のオン抵抗はエピタキシャルの抵抗率とその厚さで支配されていた。これを改善するため、PNPN構造でトランジスタ動作領域での応用がオン時に電導率変調を起すことにより、オン抵抗を改善する方法が提案されている。

第2図は従来提案されている電力用縦型電界効

果トランジスタの一例の断面図で1はP型半導体基板であり、2aは基板上にエピタキシャル形成されたN型高濃度不純物層、3は低濃度エピタキシャル層、4はP型不純物層、5はソース領域、6は酸化膜、7はゲート電極、8はソース電極である。一方10はP型半導体基板の裏面に形成された粗面化されたドレイン面、11はドレイン電極である。

〔発明が解決しようとする問題点〕

従来の方法では高耐圧化を図るため、エピタキシャル層を極めて厚く形成する必要がある、更にエピタキシャル層の不純物濃度を高濃度から低濃度へ変化させるなどエピタキシャル法にのみによる形成のため生産性に問題がある。また、オン時の抵抗は電動率変調によりバイポーラトランジスタと同程度の飽和電圧並びに動作抵抗成分が期待されるが、半導体基板の濃度は $8/1000 \sim 18/1000 \Omega \text{cm}$ 程度より小さくできないため、オーミック接続の点で不完全である。

本発明は上述した従来の方法の欠点を除去し、

ドレイン側のオーミックコンタクトを良好とし、高耐圧化及び低オン抵抗を図り、生産性が優れ低コスト化を実現できる電力用縦型電界効果トランジスタの製造方法を提供することを目的とする。

〔問題点を解決するための手段〕

本発明の電力用縦型電界効果トランジスタの製造方法は、半導体基板の一主面上に一導電型低濃度エピタキシャル層を形成し、該エピタキシャル層に二重拡散によりゲート領域とソース領域を自己整合的に形成し、半導体基板の裏面を粗面化した上ドレイン電極を形成する電力用縦型電界効果トランジスタの製造方法において、前記半導体基板の一主面に後に形成するエピタキシャル層と同一導電型の高濃度層を拡散又はイオン注入法により形成する工程と、該エピタキシャル層と同一導電型の高濃度層上に低濃度エピタキシャル層を形成する工程と、前記半導体基板の他方の主面に半導体基板と同一導電型の高濃度層を拡散又はイオン注入法により形成する工程と、該半導体基板と同一導電型の高濃度層表面を粗面化しドレイン電極を

形成する工程とを含んで構成される。

〔実施例〕

次に、本発明について図面を参照して説明する。第1図は本発明の一実施例を説明するための電力用縦型電界効果トランジスタの縦断面図である。

第1図に示すように、P型半導体基板1のN型エピタキシャル層を形成する側に後に形成するエピタキシャル層と同一導電型であるN型高濃度不純物層2を熱拡散法又はイオン注入法により形成し、次いで該N型高濃度不純物層2の表面に低濃度エピタキシャル層を形成する。

次に、P型半導体基板の他方の面に半導体基板と同導電型の高濃度層、すなわちP型高濃度不純物層9を形成する。

次に通常の方法でエピタキシャル層に自己整合的にソース及びゲート領域を形成する。図において4はP型不純物層、5はソース領域であるN型不純物層、6は酸化膜、7はゲート電極、8はソース電極である。

次に、P型高濃度不純物層9の表面を粗面化し

粗面化されたドレイン面10を形成し、次いでドレイン電極11を形成する。

しかるときは本実施例による電力用縦型電界効果トランジスタが完成する。

なお、本実施例ではエピタキシャル層を形成した後半導体基板と同導電型の高濃度不純物層を設けたがエピタキシャル層形成前に設けても差支えない。

また、本実施例ではP型半導体基板を例に説明したが、N型半導体基板を用いても同様に実施できることは説明するまでもない。

〔発明の効果〕

以上説明したとおり、本発明の方法では、半導体基板自体に導電型の異なる高濃度不純物層をエピタキシャル法でなく、イオン注入法又は熱ガス拡散法により形成するため、従来のように高濃度から低濃度へ変化させたエピタキシャル層を厚くつけることによる技術的並びに生産性の問題は除去でき生産性並びにコスト面で大きな効果が得られる。

また、ドレイン側は半導体基板濃度に特性上からの限界がありオーミック接続の点で不完全であったが、本発明では半導体基板と同一導電型の高濃度不純物層を形成するため、オーミック性が良好となり、低オン抵抗が可能となる。

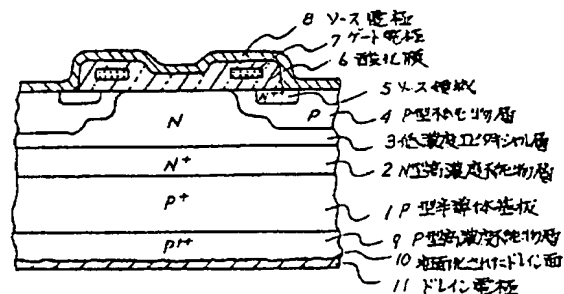
図面の簡単な説明

第1図は本発明の一実施例を説明するための電力用縦型電界効果トランジスタの縦断面図、第2図は従来の電力用縦型電界効果トランジスタの一例の縦断面図である。

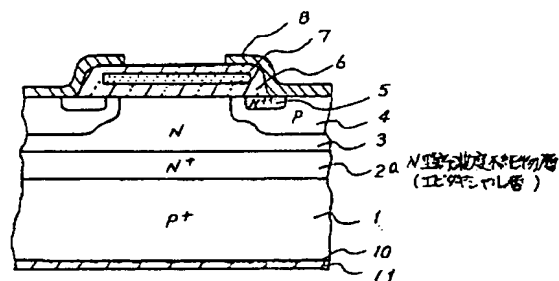
1…P型半導体基板、2…N型高濃度不純物層、2a…N型高濃度不純物層（エピタキシャル層）、3…低濃度エピタキシャル層、4…P型不純物層、5…N型不純物層（ソース領域）、6…酸化膜、7…ゲート電極、8…ソース電極、8…P型高濃度不純物層、10…粗面化されたドレイン面、11…ドレイン。

代理人 井理士 内 原

晋



第 1 図



第 2 図